

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-246404

(43)Date of publication of application : 19.09.1997

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

G11C 16/02

H01L 27/115

(21)Application number : 08-046231

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 04.03.1996

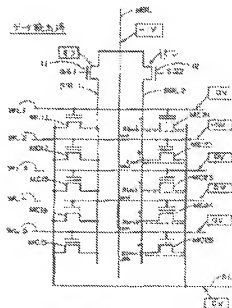
(72)Inventor : SAKAKIBARA KIYOHiko

## (54) NON-VOLATILE SEMICONDUCTOR MEMORY

## (57)Abstract

**PROBLEM TO BE SOLVED:** To provide DINOR type flash memory cutting down the gate length without decreasing the implanting efficiency in floating gate.

**SOLUTION:** Within the title non-volatile semiconductor memory, a gate length shorter than the marginal gate length in the drain withstand voltage length characteristics is adopted while setting up the relation formula of  $I_{dsRleak}/I_{dsread}/Nbit/M$  to be satisfied. In said formula,  $I_{dsread}$  represents the reading out current running between the source drain of a selective memory cell MC 22 in the data reading-out time,  $I_{dsRleak}$  represents the reading out leakage current between the source drain of the MC23-MC25,  $Nbit$  represents the numbers of MC11-MC15 or 1MC21-MC25,  $M$  represents the previously specified margin factor exceeding 1.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平9-246404

(43) 公開日 平成9年(1997)9月19日

(51) Int. Cl. <sup>7</sup>	識別番号	序の番号	P	技術表示箇所
H01L 21/9247	26/788	H01L 26/78	371	
	29/782	G11C 17/50	397A	
G11C 16/02		H01L 27/10	434	
H01L 27/115				

発明請求 本請求 請求項の数 5 O L (全 1) 頁

(21) 出願番号 特願平8-48231  
(22) 出願日 平成8年(1996)3月4日

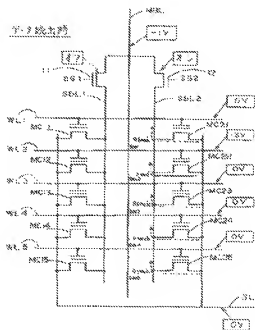
(71) 出願人 000006013  
三洋電機株式会社  
東京都千代田区丸の内二丁目2番3号  
(72) 発明者 柳原 博彦  
東京都千代田区丸の内二丁目2番3号 三  
洋電機株式会社内  
(74) 代理人 弁護士 深見 久雄 (外3名)

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 フローティングゲートへの注入効率を低下させることなくゲート長を短縮化した1T1Nワード駆動フラッシュメモリを提供する。

【解決手段】 ドレイン電圧ゲート長特性における順方向ゲート長よりも逆方向ゲート長を使用し、順方向1 $\phi$ s<sub>1</sub>と逆方向1 $\phi$ s<sub>2</sub>／Nセル1 $\phi$ sを施すように設定する。1 $\phi$ s<sub>1</sub>はデータ読出時に選択メモリセルMC2のソース・ドレイン間に流れる読出電流を示し、1 $\phi$ s<sub>2</sub>はデータ読出時に選択メモリセルMC2の、MC2と3セル間のソース・ドレイン間に流れる読出電流を示し、Nセル1 $\phi$ sはメモリセルMC1とMC2の1 $\phi$ sまたはMC2とMC3の1 $\phi$ sの数を示し、Mは予め定められた1以上のワードファクタを示す。



## 【読解請求の範囲】

【請求項1】 複数のスタックゲート型メモリセル、前記スタックゲート型メモリセルに対して接続され、各々が対応するスタックゲート型メモリセルのエントリ回路とゲートと接続された複数のワード線、

メインビット線、

電圧感度のスタックゲート型メモリセルのドレインと共通に接続されたサブビット線、

前記メインビット線と前記サブビット線とが両端に接続されたセレクトゲート、および前記複数のスタックゲート型メモリセルのソースと共通に接続されたソース線を含み、

前記スタックゲート型メモリセルのゲート長は、ドレイン側とゲート長との関係を表わすドレイン駆逐率 $\gamma$ と、駆逐率に於いてゲート長の駆逐率に伴いドレイン利が低下し始めるまでの駆逐率 $\gamma$ とを関与して、かつ関係式

$$1 < \gamma < \frac{1}{\alpha} \quad (1)$$

（式中の $\alpha$ は、前記ワード線によって選択されたスタックゲート型メモリセルからのデータ読出時にそのワードドレイン間に流れる電流密度を示し、 $\alpha$ は、

前記データ読出時に前記ワード線によって選択されたスタックゲートがプログラムされた状態にあるスタックゲート型メモリセルのソース・ドレイン間に流れる電流密度を示し、 $\alpha$ は予め定められた）以上のワードドレイン電圧 $V_d$ を満足するように設定される、半導体記憶装置。

【請求項2】 前記ワードドレイン電圧 $V_d$ に設定される。請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 前記スタックゲート型メモリセルへのデータ書込時に前記ソース線を開放状態にする解放手段をさらに含む。請求項1または請求項2に記載の不揮発性半導体記憶装置。

【請求項4】 前記スタックゲート型メモリセルへのデータ読出時に所定電圧を前記ソース線に印加する第1のバックゲート電圧手段とさらに含む。請求項1または請求項2に記載の不揮発性半導体記憶装置。

【請求項5】 前記データ読出時に所定電圧を前記ソース線に加する第2のバックゲート電圧手段をさらに含む。請求項1から請求項4のいずれか1項に記載の不揮発性半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は不揮発性半導体記憶装置に関し、さらに詳しくは、DINOR (divided bit line array) 型のフラッシュメモリに関する。

## 【0002】

【従来の技術】近年、不揮発性半導体記憶装置の一様であるフラッシュメモリは、ダイナミックランダムアクセ

スメモリ（DRAM）よりも安価に製造できると、次世代を担うメモリデバイスとして期待されている。

【0003】このフラッシュメモリの製造を単一行するために、チャネルメモリセルを用いてそのドレイン領域とフローティングゲートの重なり領域にて、N電流をフローティングゲートに注入することによりデータの書き込みを行うDINOR型のフラッシュメモリが「IEEE JOURNAL OF SOLID STATE CIRCUITS, VOL. 29, NO. 4, APRIL 1994」の第454頁〜第460頁に開示されている。

【0004】これに於いて、書き込みは通常 $V_{th} - 1.4$ から $9$ 号の範囲で、メモリセルの線形性を両端にわたってパンチスルー現象を起こすにすぎず、pチャネルメモリセルを用いたDINOR型のフラッシュメモリを適宜している。なお、この欠陥は本願の出願時において未だ顕著な問題とされていないが、本願発明は上記欠陥に起因するpチャネルメモリセルを用いたDINOR型のフラッシュメモリの改良を主目的とするため、以下に、pチャネルメモリセルを用いたDINOR型のフラッシュメモリについて簡単に説明する。

【0005】図8は、DINOR型のフラッシュメモリにおけるpチャネルメモリセルの構造を示す断面図である。図8を参照して、このメモリセル80は、p型ウェル81と、ウェル81の上面に形成されたp型ゲート82およびドレイン83と、ウェル81上に形成されたトンネル酸化膜84と、トンネル酸化膜84上に形成されたフローティングゲート85と、フローティングゲート85上に形成された絶縁絶縁層86と、絶縁絶縁層86上に形成されたコントロールゲート87とを有する。このような構造のメモリセルが一般にスタックゲート型と呼ばれる。

【0006】上記メモリセル80へのデータ書き込みには、正電位がコントロールゲート87に与えられ、負電位がドレイン83に与えられ、ウェル81が接地される。ソース82が開放（オープン）状態にされる。これによりドレイン83側のフローティングゲート85とのオーバーラップ領域において、バンド・バンド間トンネル現象（以下BTBTと称す）によって電子-正孔対（コレクトロシオン・ホールペア）88、89が生成される。このうち電子88は絶縁表面と平行な境界によって加速され、電圧エネルギーを渡つコントロールゲートとなる。したがって、このコントロールゲートがフローティングゲート85に注入されることにより、このメモリセル80にデータが書き込まれることとなる。

【0007】図9は、上記メモリセル80におけるフローティングゲート85とコントロールゲート87とが接続されたゲート電圧 $V_g$ として6Vが与えられた場合におけるドレイン電流 $I_d$ とドレイン電圧 $V_d$ と特性およびゲート電流 $I_g$ とドレイン電圧 $V_d$ と特性を示す。図9は、図9に示されたドレイン電流 $I_d$ に対するゲート電

流 $I_g$ の割合である注入効率 $I_{g\text{eff}}/I_g$ を示す。この値1.0から漸次かなるよう、 $V_d = E/V$ 近傍に、1.0<sup>1</sup>程度の高い注入効率が得られる。ここで、 $V_d = 0$   $V_{th}$ より高くなる注入効率は、BTBTによる電子-正孔対の増加が原因である。また、 $V_d = 0$   $V_{th}$ より低くなる注入効率は、ドレイン83中のウェル81との割合対して起きるアバランシェ降伏が原因である。アバランシェ降伏はインパクトイオン化による電子の増倍現象であるから、このとき図9に示されるようにゲート電圧 $I_g$ はほとんど増加しないにもかかわらずドレイン電流 $I_d$ が増加するために、注入効率 $I_{g\text{eff}}/I_g$ が図9に示されるように低下するものである。

【00108】一般に、図11に示されるように、ウェル81内のチャネル下には、パンチスルーストップ110が形成される。ゲート長の短縮化に伴って増加するパンチスルー電流を抑えるためである。上述したBTBTによる電子-正孔対はフローティングゲート85の下にも蓄積したドレイン83中のBTBT発生領域111内で生成される。他方、上述したインパクトイオン化によるアバランシェ電流は、パンチスルーストップ110がドレイン83と接触し付着のインパクトイオン化発生領域112で主に生成される。

【00109】BTBT型のフラッシュメモリは単一の外部電源（たとえば、3V）で動作するため、データ書き込みまたはデータ消去時のドレイン電流 $V_d$ は各セルの外部電圧をチャージング回路によってチップ外部で設定することにより決定される。一般にチャージング回路は記憶保持能力をほとんど与えないため、データの書き込みまたは消去動作に伴う負荷電圧は極力低くなければならない。負荷電圧が与えられない場合、チャージング回路の面積や線数を増やすことになるので、チップ面積の増大、ひいては製造コストの増大を招くことになる。上述したアバランシェ降伏によるドレイン電流 $I_d$ の急増はチャージング回路の負荷電流を増大させることになるため、このアバランシェ降伏によるドレイン電流 $I_d$ の増加は極力抑えなければならない。

【00110】

【読者が解決しようとする課題】ところで、メモリセルの短縮化や高集積化はそのゲート長を短くすることによって行なわれる。しかしながら、ゲート長の短縮化に伴ってソース・ドレイン間でのパンチスルー電流が増加するという問題がある。

【00111】このようなパンチスルー電流の増加を抑えるための手段の一つとして、パンチスルーストップ110の濃度を高く設定するという方法がある。図12に示されるようなp-型の運送拡散層120を有するメモリセルにおいては、ソース・ドレイン間におけるウェル81中の深いところと電位の谷が形成される。図12には、等化電圧121の分布が示される。上述したパンチスルーは電位の谷に流れ込むリーク122によるものであ

る。

【00112】ウェル81およびパンチスルーストップ110の濃度が一定である場合、ゲート長が短縮されるに従って上記のようなソース・ドレイン間での電位の谷が深くなる傾向にある。したがって、このようなゲート長の短縮化に伴う単位長当たりの電位差を低くするためには、ウェル81またはパンチスルーストップ110の濃度を高く設定する必要がある。

【00113】しかしながら、ゲート長の短縮化に伴ってパンチスルーストップ110の濃度を高くすると、ドレイン電流 $I_d$ もその低下を招くことになる。ここで、パンチスルーストップ110の濃度を高くするとドレイン電流 $I_d$ が低下する原因は、パンチスルーストップ110の濃度が高いとパンチスルーストップ110とドレイン83またはソース82との間での空乏層の幅が狭くなり、この領域での電界が小さくなることである。

【00114】図2は、ドレイン側 $I_d$ とゲート長との関係を示す特性図である。このドレイン電流-ゲート長特性は、たとえば図2のローゲート82とウェル81およびソース82とを接合し、ドレイン83に与える電圧を上げていった場合に記録されるドレイン電流 $I_d$ が変化する様子（先とえば、 $I_d$ 以上になったとき）のドレイン電流を異なるゲート長 $L$ ごとに測定することによって得られるものである。ゲート長 $L$ は較短な領域でのプラットを発生し図11に示されたインパクトイオン化発生領域112で起きるアバランシェ降伏によって決定されるものである。また、ゲート長の短縮化に伴うドレイン電流 $I_d$ の低下はソース82とドレイン83の間で起きるパンチスルーによって決定されるものである。ドレイン電圧-ゲート長特性において、ゲート長 $L$ の短縮化に伴うドレイン電流 $I_d$ の低下は始めるときのゲート長を以下では臨界ゲート長 $L_{crit}$ （ $L_{crit}$ ）または $L_{crit}^0$ ）という。図2から明らかなように、パンチスルーストップ110の濃度を高くすると臨界ゲート長 $L_{crit}$ は小さくなる。すなわち、パンチスルーストップ110の濃度が比較的高い場合における臨界ゲート長 $L_{crit}$ は、パンチスルーストップ110の濃度が比較的低い場合における臨界ゲート長 $L_{crit}^0$ よりも短い。

【00115】フラッシュメモリのメモリセルでは、データの書き込みまたは消去時にドレイン電流 $I_d$ が一定のバイアスが増加される。したがって、臨界ゲート長 $L_{crit}$ よりも短いゲート長 $L$ を用いたメモリセルでは、図13に示されるようにドレイン電流 $I_d$ をドレイン電流 $I_d$ に近接して設定すると、サブスレッショルドによるリーク電流が増大することになる。すなわち、 $I_d$ の値はカutoffとされるべき $V_g$ （ゲート電圧） $V_{th}$ の値よりも低くなりリーク電流が増大することになる。

【00116】このため、臨界ゲート長 $L_{crit}$ よりも短

いゲート長  $l_{gate}$  が用いられることはなく、一般には臨界ゲート長  $l_{min}$  のマージンを考慮して臨界ゲート長  $l_{crit}$  よりも長いゲート長  $l_{gate}$  が用いられる。

【0017】上述したように臨界ゲート長  $l_{min}$  を決定する要因はソース/ドレイン間の電位分布に依りであるから、ゲート長を短くするためにはソース/ドレイン間の電位の立ち上がりを抑えるためにパシスルストップパ110の濃度を低くする必要がある。すなわち、パシスルストップパ110の濃度を高くすると臨界ゲート長  $l_{crit}$  が短くなるから、メモリセルに使用するゲート長  $l_{gate}$  を短くすることができる。

【0018】しかしながら、ゲート長を短縮化するためにパシスルストップパ110の濃度を高くすると、図1に示されたインパクトイオン化発生領域112におけるインパクトイオン化(1、1)の確率が減少し、アパランシェ電圧によって決定されるドレイン電圧  $V_{ch}$  が低下する。このドレイン電圧  $V_{ch}$  の低下は図1に示された注入効率  $1/g_{eff}$  の低下を引き起こす。すなわち、図1Qでは  $V_{ch} = 6V$  の場合において注入効率が低下しているが、ゲート長の短縮化に伴いパシスルストップパ110の濃度を高くすると、この注入効率の低下領域がドレイン電圧  $V_{ch}$  の絶対値が小さくなる側(図1Qでは左側)へシフトする。このような注入効率の低下はチャージパ110の面積の増大を要する。図1Qではチャージパ110の増大が顕著である。

【0019】上述したようにゲート長の短縮化のためにパシスルストップパ110の濃度を高くすることはできないが、インパクトイオン化による注入効率の低下を抑える手法として、一般的なメモリセルではソース2およびドレイン3の濃度を高くするLDD(Lightly Doped Drain)と呼ばれる手法がある。しかしながら、pチャネルメモリセルを用いた1T1R型のフラッシュメモリではこの手法を用いることができない。これは、BTBTによって十分な電流が発生するために図1に示されたBTBT発生領域111の濃度が10<sup>19</sup>cm<sup>-3</sup>程度は必要だからである。もしも、他のメモリセルと異なりソース2およびドレイン3の濃度を低くすると、BTBTによって発生する電流が低下し、その結果、注入効率が低下することになる。

【0020】図14および図15は、上述したゲート長の短縮化に伴う注入効率の低下の問題を示す。図14に示されるように、ゲート長の短縮化という目的を達成するためには、基底ゲート長  $l_{min}$  を確保するという必要は避けられないと考えられていた。臨界ゲート長  $l_{min}$  を確保するための1つの手法として、パシスルストップパ110の濃度を高くするという技法が考えられる。図15に示されるようにインパクトイオン化によるリーク電流が増加し、その結果、BTBTによって誘起されたホットエレクトロンの注入効率が低下することになる。また、臨界ゲート長  $l_{min}$  を確保

するためのもう1つの手法としてソース2およびドレイン3をLDD構造とする手法が考えられるが、BTBTによって充分な量の電子が生成されなくなり、その結果、ホットエレクトロンの注入効率やばり低下することになる。

【0021】以上のように、チャネルメモリセルを用いて1T1R型のフラッシュメモリではゲート長の短縮化するためにはBTBTによって誘起されたホットエレクトロンの注入効率の低下を避けることができないという問題があった。

【0022】この発明の目的は、ゲート長を短くしてフラッシュメモリのさらなる集積化を図ることである。

【0023】この発明のもう1つの目的は、BTBTによって誘起されたホットエレクトロンの注入効率を低くさせることなくゲート長を短くすることである。

【0024】

【課題を解決するための手段】この発明に従った不揮発性半導体記憶装置は、複数のスタックゲート型メモリセルと、複数のワード線と、メインビット線と、サブビット線と、セレクトゲートと、ソース線とを含む。複数のワード線は複数のスタックゲート型メモリセルに対して延びられ、各ワード線は対応するスタックゲート型メモリセルのコントロールゲートと接続される。サブビット線は複数のスタックゲート型メモリセルのドレインと共通に接続される。セレクトゲートはメインビット線とサブビット線との間に接続される。ソース線は複数のスタックゲート型メモリセルのソースと共通に接続される。スタックゲート型メモリセルのゲート長は臨界ゲート長よりも短く設定される。ここで、臨界ゲート長とは、ドレイン側とゲート線との関係を問わずドレイン側とゲート線特性においてゲート長の短縮化に伴いドレイン側が反転し始めることとゲート長をいう。また、ワード線によって選択されたスタックゲート型メモリセルからのデータ読出時にそのソース/ドレイン間に流れる読出電流  $I_{ds}^{read}$  とし、データ読出時にワード線によって選択されたメモリセルがプログラムされた状態にあるスタックゲート型メモリセルのソース/ドレイン間に流れる読出リーク電流を  $I_{ds}^{leak}$  とし、スタックゲート型メモリセルの読出  $W_{data}$  とし、さらに予め定められた1以上のマージン  $N$  を用いて

$$I_{ds}^{read} < I_{ds}^{leak} \times N \quad (1)$$

を満たすように設定される。

【0025】上記不揮発性半導体記憶装置において、マージン  $N$  は好ましくは10に設定される。

【0026】上記不揮発性半導体記憶装置は好ましくはさらに、スタックゲート型メモリセルへのデータ書込時にソース線とセレクト線とに流れる電流を制御する手段を含む。

【0027】上記不揮発性半導体記憶装置は好ましくはさらに、スタックゲート型メモリセルへのデータ書込時

に所定電位をソース線に印加する第1のバックゲート印加手段を含む。

【0028】上記不揮発性半導体記憶装置は、さらに、データ読出時に所定電位をソース線に印加する第2のバックゲート印加手段を含む。

【0029】

【発明の実施の形態】以下、この発明の実施の形態を参照して詳しく説明する。なお、図中同一符号が同一または類似部分を示す。

【0030】【実施の形態1】図1は、この発明の実施の形態1による11Mビット型のフラッシュメモリにおけるメモリセルアレイの構成を示す回路図である。図1を参照して、11Mビット型のフラッシュメモリは、複数のスタックゲート型メモリセルMC11〜MC15、MC21〜MC25と、複数のワード線WL1〜WL5と、メインビット線BLと、サブビット線BS1、BS2と、セレクトゲート11、12と、ソース線SLとを有する。複数のワード線WL1〜WL5は、複数のスタックゲート型メモリセルMC11〜MC15またはMC21〜MC25に対応して配線される。ワード線WL1〜WL5の各々は、対応するスタックゲート型メモリセルのコントロールゲートと接続される。たとえばワード線WL1はスタックゲート型メモリセルMC11およびMC21のコントロールゲートと共通に接続される。サブビット線BS1はスタックゲート型メモリセルMC11〜MC15のドレインと共通に接続される。サブビット線BS2はスタックゲート型メモリセルMC21〜MC25のドレインと共通に接続される。セレクトゲート11はメインビット線BLとサブビット線BS1との間に接続される。セレクトゲート12はメインビット線BS1とサブビット線BS2との間に接続される。ソース線SLはスタックゲート型メモリセルMC11〜MC15、MC21〜MC25のソースと共通に接続される。図示はされておらず、11Mビット型のフラッシュメモリのメモリセルアレイには図1に示されるような構成が複数設けられる。

【0031】このフラッシュメモリはさらに、番地インデックス信号PFGに反応してソース線SLを導電状態にするとともに、番地インデックス信号EADに反応してソース線SLにOVの電位を印加するソース制御回路13を含む。番地インデックス信号PFGはメモリセル

$$V_{ih} = -a_n (V_{cg} + \Delta V_{ih}) + a_n V_d \quad \dots (1)$$

ここで、 $\Delta V_{ih}$ は、メモリセルの通常のしきい電圧を $V_{ih}$ とし、フローティングゲートに電荷が全くない場合に示されるメモリセルのしきい電圧を $V_{ih1}$ とすると

$$\Delta V_{ih} = V_{ih} - V_{ih1} \quad \dots (2)$$

また、 $a_n$ はコントロールゲートとフローティングゲートとの間の結合容量の値を示し、 $a_n$ はドレインとフローティングゲートとの間の結合容量の値を示す。

【0038】図4に示された読取ゲート長よりも長い

セルMC11〜MC15、MC21〜MC25へのデータ読出時に活性化され、番地インデックス信号EADはメモリセルMC11〜MC15、MC21〜MC25からのデータ読出時に活性化される。

【0032】図2は、ドレイン電流 $I_{ds}$ とゲート長との関係を表す特性図である。上述したように、トリスルストップの濃度を高くすると、短くしきい電圧 $V_{ih}$ を確保することはできず、また、EADによって誘起されたホットエレクトロンの注入競争が低下する。そのため、この実施の形態1ではトリスルストップの濃度を高く設定されない。

【0033】また、1つのサブビット線BS1またはBS2とお互に接続されるメモリセルMC11〜MC15またはMC21〜MC25には、データ読出時に番地ドレイン電位 $V_d^{in}$ が与えられ、データの読出時に番地ドレイン電位 $V_d^{in}$ が与えられる。一方、番地ドレイン電位の絶対値 $|V_d^{in}|$ の方が番地ドレイン電位の絶対値 $|V_d^{out}|$ よりも大きい。したがって、ドレイン電流 $I_{ds}$ は番地ドレイン電位 $V_d^{in}$ よりも大きくなければならない。

【0034】また、この実施の形態1では、メモリセルMC11〜MC15、MC21〜MC25のゲート長として、読取ゲート長よりも長いゲート長が使用される。ここで、読取ゲート長よりも長いゲート長特性では、ゲート長を短くしていくとドレイン電流 $I_{ds}$ が低下し始めるが、このドレイン電流 $I_{ds}$ が低下し始めるまでのゲート長が読取ゲート長 $L_{rd}$ である。

【0035】図3は、ドレイン電流 $I_{ds}$ とゲート電圧 $V_g$ との関係を表す特性図である。この図には、読取ゲート長よりも長いゲート長を使用した $L_{rd} > L_{m1}$ とした従来の特性曲線と、読取ゲート長よりも長いゲート長を用いた $L_{rd} > L_{m1}$ とした実施の形態1の特性曲線とが示されている。また、この特性図には、データ読出時にゲート長がプログラムされている状態にあるメモリセルのフローティングゲートの電位と、データ読出時にゲート長がイレイズされた状態にあるメモリセルのフローティングゲートの電位とが示されている。ここで、フローティングゲートの電位 $V_f$ は次の式(1)で表される。

【0036】

※と、次の式(2)で表される。

【0037】

ゲート長を使用した場合 $(L_{rd} > L_{m1})$ の特性曲線から知られるように、この場合のデータ読出時 $(V_d^{in} = V_{ih}^{out})$ においては、番地メモリセル中に示される番地電流がドレイン電流として流れ、非番地メモリ

リセル中に入力で与えられる読み取り電流がドレイン電流と見做れる。A'で示される読み取り電流はAで示される読出電流に比べて十分に小さいものである。なお、この場合におけるデータ読出時 ( $V_d = V_{prog}$ ) の特性曲線はデータ読出時 ( $V_d = V_{read}$ ) の特性曲線にほとんど等しいものである。

【0039】これに対し、この実施の形態1では上述したように非選択ゲート長  $l_{m1}$  よりも短いゲート長  $l_{s1}$  が使用されているため、メモリセル中に流れるサブスレッショルド電流が増加する。したがって、非選択ゲート長よりも短いゲート長を使用した場合 ( $l_{s1} < l_{m1}$ ) に比べてデータ読出時 ( $V_d = V_{read}$ ) の特性曲線から見た場合に、Bで示される選択メモリセル中に流れるリード電流  $I_{ds1}$  に比べて、B'で与えられる非選択メモリセル中に流れる読み取り電流  $I_{ds1}^{non}$  が無視できないほどに増加する見做れる。

【0040】なお、非選択ゲート長よりも短いゲート長を使用した場合 ( $l_{s1} < l_{m1}$ ) におけるデータ書込時 ( $V_d = V_{prog}$ ) には、データ書込時 ( $V_d = V_{read}$ ) に比べて比較的大量のリーク電流が流れる。このリーク電流は、チャネル電流でなく漏れ (ウェル) 内部に流れるパシバードリーク電流である。他方、非選択ゲート長よりも長いゲート長を使用した場合 ( $l_{s1} > l_{m1}$ ) におけるデータ読出時 ( $V_d = V_{read}$ ) には、メイン電流  $I_{ds}$  がデータ書込時に比べて小さいため、ドレインからの空乏電流の逃げが抑えられ、その結果、ソースドレイン間にはゲート電圧によって制御可能なチャネル電流が流れる。

【0041】このフラッシュメモリのデータ書込時には、図4に示されるように、図1中のソース配線回路13によってソース線S1が開放状態にされ、メインビット線M1にドレイン電位  $V_d$  としてたとえば  $-1V$  が与えられ、選択ワード線W12にコントロールゲート電位としてたとえば  $+8V$  が与えられ、非選択ワード線W11、W13〜W15にコントロールゲート電位としてたとえば  $0V$  がそれぞれ与えられる。ここでは、L (論理0) レベルのセレクト信号SG1がセレクトゲート11に与えられ、H (論理1) レベルのセレクト信号SG2がセレクトゲート12に与えられているので、メインビット線M1の電位 ( $-1V$ ) はサブビット線SB12とだけ与えられ、サブビット線SB11には与えられない。したがって、サブビット線SB12に接続されたメモリセル (M21、M22) が読出可能な状態にある。但し、ここではワード線W12には  $+8V$  が与えられ、他のワード線W11、W13〜W15には  $0V$  が与えられているので、メモリセル (M21、M22) のみが読出され、他のメモリセル (M23、M24) は選択されない。

【0042】したがって、選択メモリセルM21とだけにデータが読出されるが、この実施の形態1では特にパ

シバードリーク電流のレベルを高くしていないため、B、B'によって読出されたビットエレクトロンの注入効率が低くなることはない。しかしながら、ゲート長  $l_{s1}$  を選択ゲート長  $l_{m1}$  よりも短くしているため、非選択メモリセルM21、M23〜M25中にパシバードリーク電流  $I_{ds1}^{non}$  が流れる。しかしながら、この実施の形態1ではソース線S1が開放状態にされているため、ソース線S1の電位は、たとえば  $0V \rightarrow 0$ 、 $5V$  というように低下する。そのため、非選択メモリセルM21、M23〜M25のソース電位が低下し、その結果、バックゲート効果によるソースドレイン間のリーク電流はカットオフされる。したがって、これらの読み取り電流  $I_{ds1}^{non}$  は書き込み動作の期間に一時的に流れるだけである。したがって、この実施の形態1のようにゲート長  $l_{s1}$  を非選択ゲート長  $l_{m1}$  よりも短くしても、上記選択リーク電流が電流となることはない。

【0043】他方、このフラッシュメモリのデータ読出時には、図5に示されるように、図1中のソース配線回路13によってソース線S1にソース電位としてたとえば  $0V$  が与えられ、メインビット線M1にドレイン電位としてたとえば  $-1V$  が与えられる。ここで図4と同様に、メインビット線M1の電位 ( $-1V$ ) がサブビット線SB12とだけ与えられ、メモリセルM21〜M25のうちが読出可能な状態となっている。但し、ワード線W12にはコントロールゲート電位としてたとえば  $-1V$  が与えられ、他のワード線W11、W13〜W15にはコントロールゲート電位としてたとえば  $0V$  がそれぞれ与えられているので、メモリセルM22だけが選択され、他のメモリセルM21、M23〜M25は選択されていない。

【0044】したがって、選択メモリセルM22中には読み取り電流  $I_{ds2}$  が流れ、他のメモリセル (M21、M23〜M25) 中には読み取り電流  $I_{ds1}^{non}$  が流れる。しかしながら、データ読出時にはソース線S1から  $0V$  が与えられているので、上述したデータ書込時のようにこれらの読み取り電流  $I_{ds1}^{non}$ 、 $I_{ds2}$  がカットオフされることはない。

【0045】そこで、この実施の形態1では次の式(3)を満たすように設定されている。

【0046】

【数1】

$$\sum_{i=1}^N I_{ds1}^{non} \ll I_{ds2}^{read} \quad (3)$$

すなわち、データ読出時に非選択メモリセル中に流れる読み取り電流  $I_{ds1}^{non}$  の総和が選択メモリセル

中に流れる読出電流  $i_{ds}^{out}$  よりも十分に小さくなるよう設定されている。なお、データからプログラムされている状態にある非選択メモリセルに流れる読出リーク電流の方がデータのイレースされている状態にある非選択メモリセル中に流れるプログラム電流よりも大きいので、読出リーク電流の値が最大となる状態の場合を考慮して、ここでの読出リーク電流  $i_{ds}^{out}$  はプログラム電流の半分にメモリセル中に流れるものである。

【0043】一般に、選択メモリセルからのデータ読出  $i_{ds}^{out}$  は

$$i_{ds}^{out} < i_{ds}^{max}$$

ここで、マージンファクタ  $M$  は1以上の予め定められた値であり、好ましくは1.0である。

【0044】一般にデータ読出時のドレイン電位（たとえば  $-1V$ ）はデータ選択時のドレイン電位（たとえば  $-5V$ ）よりも低い（絶対値が大きい）ので、選択リーク電流は非選択リーク電流よりも小さい。したがって、上記関係式(4)を満たすように設定することは十分に可能である。

【0045】以上のようにこの実施の形態1によれば、ゲート長をソースゲート長よりも短くしているため、フラッシュメモリの信頼性をさらに高めることができる。また、上記関係式(4)を満たすように設定されているため、ゲート長をソースゲート長よりも短くしているにも拘らずデータ読出時に、非選択メモリセル中に流れるパルススルーによる読出リーク電流が十分に抑えられ、安定した読出動作を行なうことができる。また、データ読出時に非選択メモリセル中に流れるパルススルーによる読出リーク電流はバックゲート効果によってカットオフされるため、安定した読出動作を行なうことができる。さらに、特にパルススルーストップの機能を有していないため、下ドレインによって誘起されたホットエレクトロンの注入効率が低下することもない。

【0046】【実施の形態2】図6は、この発明の実施の形態2によるフラッシュメモリの一部構成を示す回路図である。図6を参照して、このフラッシュメモリは上記実施の形態1と異なり、選択リーク電位（たとえば  $-5V$ ）をソース線1に供給するバックゲート型メモリセルに流れるパルススルーによる読出リーク電流を低減することができる。

【0047】このようなフラッシュメモリにおいては、データ読出時に所定の電位（たとえば  $-5V$ ）がソース線1に与えられるので、メモリセルMに2-1Mに与えるバックゲート（ウェル）に実質的に負の電位が与えられることとなる。そのため、バックゲート効果によってデータ読出時に非選択メモリセル中に流れるパルススルーによる読出リーク電流を低減することができる。

【0048】【実施の形態3】図7は、この発明の実施の形態3によるフラッシュメモリの一部構成を示す回路図である。図7を参照して、このフラッシュメモリは上記実施の形態1と異なり、読出用ソース線信号RとAは

8時にソースドレイン間に流れる読出電流を1.5倍とし、データ読出時にプログラム状態の非選択メモリセルのソースドレイン間に流れる読出リーク電流を1.5倍とし、1つのサブビット線に接続されたメモリセルの数を2倍とし、さらにマージンファクタを2倍とすると、このフラッシュメモリは上記式(4)を満足した次の関係式(4)を満たすように構成される。

【0048】

$$i_{ds}^{out} < i_{ds}^{max} / N \quad (4')$$

ここにNは所定の電位（たとえば  $-5V$ ）をソース線1に供給するバックゲート型メモリセルの数を示す。このとき、ソースドレイン間の電位を上記実施の形態1と同様に1Vとするためにドレイン電位として  $-1.5V$  を与えるのが好ましい。

【0049】このようなフラッシュメモリにおいては、上記実施の形態2と同様にバックゲート効果によってパルススルーによる読出リーク電流を低減することができる。

#### 【両面】簡単な説明

【図1】 この発明の実施の形態1によるDIN型フラッシュメモリにおけるメモリセルアレイの一部構成を示す回路図である。

【図2】 フラッシュメモリのメモリセルにおけるドレイン電位とソースゲート長特性を示す図である。

【図3】 フラッシュメモリのメモリセルにおけるドレイン電流-ゲート長特性を示す図である。

【図4】 図1に示されたフラッシュメモリのデータ読出時の動作を示す回路図である。

【図5】 図1に示されたフラッシュメモリのデータ読出時の動作を示す回路図である。

【図6】 この発明の実施の形態2によるDIN型フラッシュメモリにおけるメモリセルアレイの一部構成を示す回路図である。

【図7】 この発明の実施の形態3によるDIN型フラッシュメモリにおけるメモリセルアレイの一部構成を示す回路図である。

【図8】 DIN型フラッシュメモリにおけるパルススルー型メモリセルの構成を示す回路図である。

【図9】 図8に示されたメモリセルにおけるドレイン電位とソースゲート長特性を示す図である。

【図10】 図9に示されたドレイン電位に対するゲート電流の割合である注入効率和ドレイン電位の関係を示す図である。

【図11】 パルススルーストップを有するパルススルー型メモリセルの構成を示す回路図である。

【図12】 パルススルーストップを有するメモリセルに



施れるパンチホール電圧を調節するための調節部である。

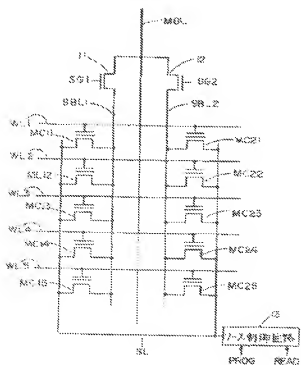
【図13】 スタックゲート型メモリセルにおけるドレイン電流-ゲート電位特性を示す図である。

【図14】 ゲート長の微小化に伴う課題を説明するための図である。

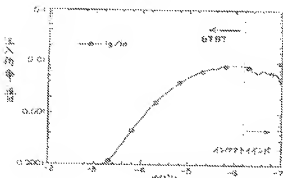
【図15】 図14と同様の課題を説明するための注入電流とドレイン電流との関係を示す図である。

【符号の説明】

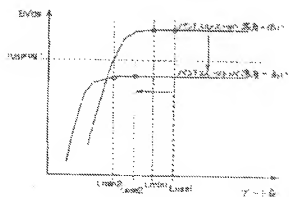
【図1】



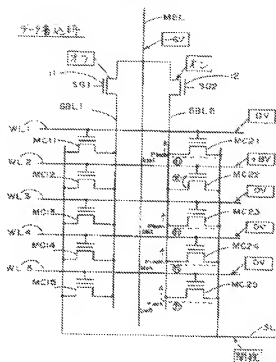
【図10】



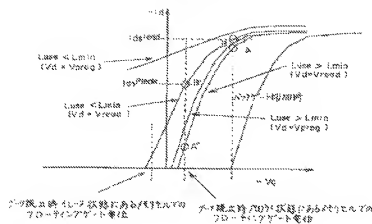
【図2】



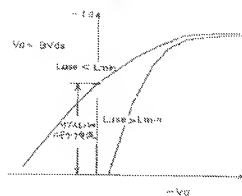
【図4】



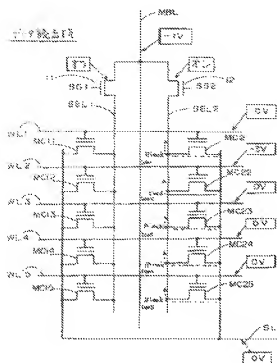
【図3】



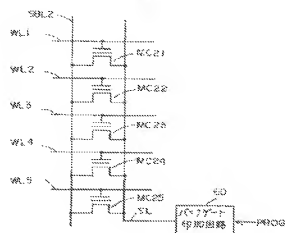
【図13】



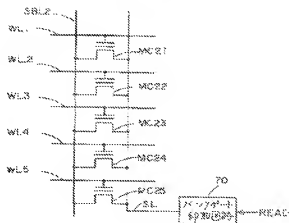
【図5】



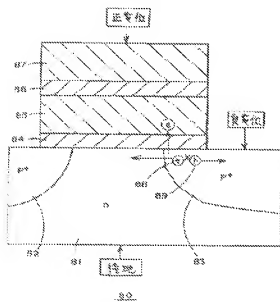
【図6】



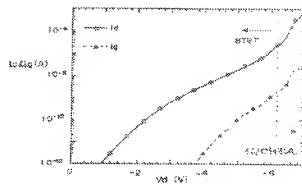
【図7】



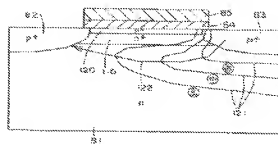
【図8】



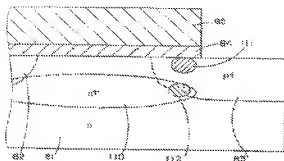
【図9】



【図10】



【図11】



【図12】



【図15】

